

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308097

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H03L 7/08  
G01R 23/15  
H03K 5/26  
H03L 7/087

(21)Application number : 10-114491

(71)Applicant : SONY CORP

(22)Date of filing : 24.04.1998

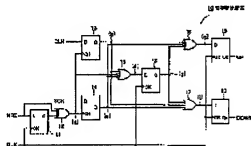
(72)Inventor : KUBO TATSUYA  
TAMAKI AKIRA

## (54) FREQUENCY COMPARATOR AND PLL CIRCUIT USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable frequency comparison with only an NRZ signal, without requiring a reference clock outputting a comparison result, only when existence of change of data is detected by a detecting means.

**SOLUTION:** The change of the data of an NRZ signal is detected by a D-FF11 and an EX-OR gate 12, and the position of the change of NRZ data in a single cycle of a clock CLK is detected by D-FF 13, 14. A reference point to detect the cycle of the NRZ signal is set by an OR gate 15 and D-FF 18. The phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when the phase is found shifted, an UP-signal for raising the frequency is outputted by an OR gate 16 and D-FF 19, the phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when the phase has been shifted, a DOWN-signal for lowering the frequency is outputted by an OR gate 17 and D-FF20. Thus, the frequency comparison can be performed with only the NRZ signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-308097

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl. <sup>4</sup>	識別記号	F I	
H 0 3 L 7/08		H 0 3 L 7/08	M
G 0 1 R 23/15		G 0 1 R 23/15	H
			Z
H 0 3 K 5/26		H 0 3 K 5/26	F
H 0 3 L 7/087		H 0 3 L 7/08	P
審査請求 未請求 請求項の数 6 O L (全 9 頁)			

(21) 出願番号 特願平10-114491

(22) 出願日 平成10年(1998)4月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 久保 達哉

東京都目黒区中目黒4-8-2 株式会社

エヌジェーケー内

(72) 発明者 玉木 亮

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

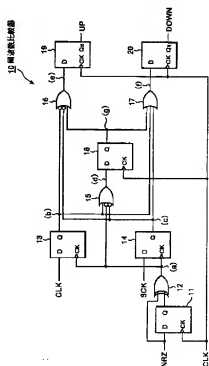
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 周波数比較器およびこれを用いたPLL回路

(57) 【要約】

【課題】 NRZデータの変化が連続的でないときでも比較を行うと、UP/DOWNの判定を誤ってしまう可能性があり、この誤りが偶然続くと、例えば本当はUP信号を出力しなければならないところでDOWN信号を出力し続け、ハーマニックロックを起こす危険性がある。

【解決手段】 NRZ信号のデータ変化を検出する手段(11, 12)と、クロックCLKおよびこれよりも位相が90°遅れたクロックSCKの論理状態を、NRZ信号のデータ変化があったときに取り込むことにより、クロックCLKの一周期内におけるNRZ信号のデータ変化位置を検出する手段(13, 14)と、NRZ信号の周期を検出するための基準点を設定する手段(15, 18)と、この基準点をもとにクロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれがあるときUP/DOWN信号を出力する手段(16, 19/17, 20)とを有する構成とする。



## 【特許請求の範囲】

【請求項1】 NRZ信号のクロック周波数に対して所定のクロック信号の周波数を比較する周波数比較器であって、

前記クロック信号の一周期の期間内に前記NRZ信号のデータ変化があるか否かを検出する検出手段と、前記検出手段によってデータ変化があると検出されたときだけ比較結果を出力する比較手段とを備えたことを特徴とする周波数比較器。

【請求項2】 前記検出手段は、前記NRZ信号のデータ変化を検出するデータ変化検出手段と、前記クロック信号およびこれよりも位相が $90^\circ$ 遅れた補助クロック信号の論理状態を、前記データ検出手段の検出出力にตอบสนองして取り込むことにより、前記クロック信号の一周期内における前記NRZ信号のデータ変化位置を検出する変化位置検出手段とを有することを特徴とする請求項1記載の周波数比較器。

【請求項3】 前記比較手段は、前記NRZ信号の周期を検出するための基準点を設定する設定手段と、前記設定手段によって設定された前記基準点をもとに前記クロック信号の次の一周期の中での前記NRZ信号の位相を検出して前記比較結果を出力する位相検出手段とを有することを特徴とする請求項1記載の周波数比較器。

【請求項4】 電圧制御発振器と、NRZ信号のクロック周波数と前記電圧制御発振器の発振クロックの周波数とを比較する周波数比較器とを有し、前記周波数比較器の比較出力に基づいて前記電圧制御発振器の発振クロックの周波数を制御するPLL回路であって、

前記周波数比較器は、

前記クロック信号の一周期の期間内に前記NRZ信号のデータ変化があるか否かを検出する検出手段と、前記検出手段によってデータ変化があると検出されたときだけ比較結果を出力する比較手段とを備えたことを特徴とするPLL回路。

【請求項5】 前記検出手段は、前記NRZ信号のデータ変化を検出するデータ変化検出手段と、前記クロック信号およびこれよりも位相が $90^\circ$ 遅れた補助クロック信号の論理状態を、前記データ検出手段の検出出力にตอบสนองして取り込むことにより、前記クロック信号の一周期内における前記NRZ信号のデータ変化位置を検出する変化位置検出手段とを有することを特徴とする請求項4記載のPLL回路。

【請求項6】 前記比較手段は、前記NRZ信号の周期を検出するための基準点を設定する設定手段と、前記設定手段によって設定された前記基準点をもとに前記クロック信号の次の一周期の中での前記NRZ信号の位相を検出して前記比較結果を出力する位相検出手段とを有することを特徴とする請求項4記載のPLL回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周波数比較器およびこれを用いたPLL(phase locked loop)回路に関し、特にNRZ(non return to zero)信号と同期をとるPLL回路とこれに用いて好適な周波数比較器に関する。

【0002】

【従来の技術】NRZ信号と同期をとるPLL回路では、従来、周波数を比較する場合に、電圧制御発振器(VCO)の発振クロックと、NRZ信号に同期した外部からの参照クロックの周波数を比較する構成が採られていた。このPLL回路の回路例を図5に示す。

【0003】図5において、電圧制御発振器101の発振クロックは、位相比較器(PD)102の一方の入力になるとともに、分周器103で $1/n$ ( $n$ は自然数)に分周されて周波數位相比較器(PFD)104の一方の入力となる。位相比較器102は、NRZ信号を他方の入力とし、電圧制御発振器101の発振クロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。

【0004】一方、周波數位相比較器104は、NRZ信号に同期した参照クロックを他方の入力とし、 $1/n$ 分周された電圧制御発振器101の発振クロックと参照クロックの周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。

【0005】位相比較器102および周波數位相比較器104の各比較出力は、セレクト105の2入力となる。セレクト105は、外部の回路(図示せず)から与えられる切替信号に基づいて位相比較器102および周波數位相比較器104の各比較出力の一方を選択する。このセレクト105で選択された比較出力は、チャージポンプ回路106およびループフィルタ107を経て電圧制御発振器101にその制御電圧として供給される。

【0006】上記構成のPLL回路においては、まず、セレクト105を周波數位相比較器104側に切り替えて、周波數位相比較器104の比較出力に基づいて、電圧制御発振器101の発振クロックの $1/n$ クロックの周波数を参照クロックの周波数近傍に引き込む処理が行われる。この引き込み処理が終わる、外部の回路から切替信号を与えることにより、セレクト105を位相比較器102側に切り替える。すると、位相比較器102の比較出力に基づいて、電圧制御発振器101の発振クロックをNRZ信号に位相同期させる処理が行われる。

【0007】この従来のPLL回路では、NRZ信号に同期した参照クロックを生成する回路が必要であるとともに、VCOクロックの $1/n$ クロックの周波数が参照クロックの周波数近傍に引き込まれたことを検出し、切替信号を発生してセレクト105を切り替えるための外部回路が必要となるため、その分だけ回路構成が複雑に

なる。また、位相比較器102のループゲインを大きくする必要があるため、PLLトランスファ特性が悪くなるという問題点があった。

【0008】これらの問題を改善するために、NRZ信号に同期した参照クロックを必要とせず、NRZ信号のみで位相を比較する構成のPLL回路がある。このPLL回路の回路例を図6に示す。同図において、電圧制御発振器(VCO)111の発振クロックは、位相比較器(PD)112および周波数比較器(FD)113の各一方の入力となる。位相比較器112および周波数比較器113は、NRZ信号を各他方の入力としている。

【0009】位相比較器112は、電圧制御発振器111の発振クロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。この位相比較器112の比較出力は、チャージポンプ回路114およびループフィルタ115を経て電圧制御発振器111にその位相を制御するための制御電圧として供給される。

【0010】一方、周波数比較器113は、電圧制御発振器111の発振クロックとNRZ信号の周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。この周波数比較器113の比較出力は、チャージポンプ回路116およびループフィルタ117を経て電圧制御発振器111にその周波数を制御するための制御電圧として供給される。

【0011】図7に、周波数比較器113の回路構成の従来例を示す。この従来回路には、NRZ信号、図6の電圧制御発振器111の発振クロック、即ちVCOクロックCLK、このVCOクロックCLKと同相のクロックI CLKおよびこのクロックI CLKより位相が90°遅れたクロックQ CLKがそれぞれ入力されるようになっている。

【0012】図7において、NRZ信号はD・フリップフロップ(以下、D・FFと記す)121のD(データ)入力となるとともに、エクシクルンプOR(以下、EX・ORと記す)ゲート122の一方の入力となる。D・FF121は、VCOクロックCLKをCK(クロック)入力としている。このD・FF121の正相出力Qは、EX・ORゲート122の他方の入力となる。

【0013】クロックI CLK, Q CLKは、ANDゲート123, 124の各2入力となる。なお、ANDゲート124のクロックI CLK側の入力は、負論理入力となっている。これらANDゲート123, 124の各出力は、D・FF125, 126の各D入力となる。D・FF125, 126は、EX・ORゲート122の出力をCK入力とする。

【0014】D・FF125, 126の各正相出力Qは

次段のD・FF127, 128の各D入力となり、D・FF127, 128の各正相出力Qはさらに次段のD・FF129, 130の各D入力となるとともに、ANDゲート132, 131の各一方の入力となる。これらD・FF127, 128, 129, 130は、VCOクロックCLKをCK入力としている。

【0015】D・FF129, 130の各正相出力Qは、ANDゲート131, 132の各他方の入力となる。そして、ANDゲート131の出力が周波数を低くするためのDOWN信号として、ANDゲート132の出力が周波数を高くするためのUP信号としてそれぞれ出力されることになる。

【0016】次に、上記構成の周波数比較器の回路動作について、図8のタイミングチャートに基づいて説明する。なお、図8のタイミングチャートにおいて、ANDゲート123の出力を(a)、ANDゲート124の出力を(b)、EX・ORゲート122の出力を(c)とそれぞれ示し、図7の対応する部分には同一符号を付すものとする。

【0017】ANDゲート123の出力(a)は、クロックI CLK, Q CLKが共に高レベル(以下、“H”レベルと記す)のときに“H”レベルとなり、ANDゲート124の出力(b)は、クロックI CLKが低レベル(以下、“L”レベルと記す)、クロックQ CLKが“H”レベルのときに“H”レベルとなる。ここで、ANDゲート123の出力(a)が“H”レベルの期間をX、ANDゲート124の出力(b)が“H”レベルの期間をYとする。

【0018】VCOクロックCLKのある周期において、図8のタイミングチャートに示すように、NRZ信号のデータ変化が期間Xに入ると、そのデータ変化がD・FF121およびEX・ORゲート122にて検知され、EX・ORゲート122の出力(c)が“H”レベルとなる。

【0019】このとき、ANDゲート123の出力(a)が“H”レベルであることから、この出力(a)はEX・ORゲート122の出力(c)の遷移タイミングでD・FF125にラッチされる。これにより、D・FF125の正相出力Qが“H”レベルとなる。そして、VCOクロックCLKの次の周期の立上りのタイミングでD・FF125の正相出力QがD・FF127に取り込まれる。

【0020】このVCOクロックCLKの次の周期において、図8のタイミングチャートに示すように、NRZ信号の次のデータ変化が期間Yに入ると、そのデータ変化がD・FF121およびEX・ORゲート122にて検知され、EX・ORゲート122の出力(c)が再び“H”レベルとなる。

【0021】このとき、ANDゲート124の出力(b)が“H”レベルであることから、この出力(b)

はEX-ORゲート122の出力(c)の遷移タイミングでD-FF126に取り込まれる。これにより、D-FF126の正相出力Qが“H”レベルとなる。そして、VCOクロックCLKの次の周期の立上りのタイミングでD-FF126の正相出力QがD-FF128に取り込まれる。

【0022】このとき同時に、D-FF127の正相出力QがD-FF129に取り込まれる。これにより、D-FF128、129の各正相出力Qが共に“H”レベルとなり、ANDゲート131の2入力が共に“H”レベルとなるため、ANDゲート131の出力、即ちUP

10 信号が“H”レベルとなる。  
【0023】すなわち、ある周期でNRZ信号のデータ変化が期間Xに入り、次の周期でNRZ信号の次のデータ変化が期間Yに入る場合には、NRZ信号の周期に対してVCOクロックCLKの周期が短い、即ちVCOクロックCLKの周波数が高い状態で、VCOクロックCLKの周波数を低くするためのDOWN信号を出力することになる。

【0024】一方、図8のタイミングチャートには示さないが、ある周期でNRZ信号のデータ変化が期間Yに入り、次の周期でNRZ信号の次のデータ変化が期間Xに入る場合には、NRZ信号の周期に対してVCOクロックCLKの周期が長い、即ちVCOクロックCLKの周波数が低い状態であるから、VCOクロックCLKの周波数を高くするためのUP信号を出力することになる。

【0025】

【発明が解決しようとする課題】しかしながら、上述した従来の周波数比較器では、NRZデータが10001のように変化が連続的でないときでも比較を行う構成となっているため、実際には数%の位相のズレが、NRZデータの变化の間が空くことによって数%のズレとなり、UP/DOWNの判定を誤ってしまう可能性がある。この誤りが偶然続くこと、例えば本当はUP信号を出力しなければならないところでDOWN信号を出力し続け、NRZ信号の丁度倍の周期のところでロックする等の、いわゆるハルモニックロックを起こす危険性がある。

【0026】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、参照クロックを必要とせず、NRZ信号のみで周波数比較を行うことができる周波数比較器およびハルモニックロックを起こす心配の無いPLL回路を提供することを目的とする。

【0027】

【課題を解決するための手段】本発明による周波数比較器は、NRZ信号のクロック周波数に対して所定のクロック信号の周波数と比較する周波数比較器であって、クロック信号の一周期の期間内にNRZ信号のデータ変化があるか否かを検出する検出手段と、この検出手段によってデータ変化があると検出されたときだけ比較結果を

出力する比較手段とを備えた構成となっている。

【0028】また、本発明によるPLL回路は、NRZ信号のクロックと電圧制御発振器の発振クロックの周波数と比較する周波数比較器として、上記構成の周波数比較器を用いた構成となっている。

【0029】上記構成の周波数比較器およびこれを用いたPLL回路において、NRZ信号のみを用いて周波数比較を行う際に、先ず、所定のクロック信号(電圧制御発振器の発振クロック)の一周期の期間内でのNRZ信号のデータ変化の有無を検出する。そして、当該クロックの一周期の期間内にデータ変化があるときだけ比較結果を出力する。すなわち、NRZ信号のデータ変化が連続した場合に限り、周波数比較を行ってその比較結果を出力するようにする。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0031】図1は、本発明の一実施形態を示すブロック図である。本実施形態に係る周波数比較器10には、NRZ信号、このNRZ信号のクロック周波数と同じ周波数のクロックCLKおよびこのクロックCLKよりも位相が90°遅れたクロック(補助クロック)SCKがそれぞれ入力される。

【0032】図1において、NRZ信号はD-FF11のD入力となるとともに、EX-ORゲート12の一方の入力となる。D-FF11は、クロックCLKをCK入力としている。このD-FF11の正相出力Qは、EX-ORゲート12の他方の入力となる。

【0033】ここで、NRZデータが変化すると、その変化タイミングのデータがD-FF11で1クロック分遅延されて次のクロックタイミングのデータと共にEX-ORゲート12に入力されることから、EX-ORゲート12の出力は“L”レベルから“H”レベルに遷移する。そして、クロックCLKの立上がりで“L”レベルに戻る。すなわち、D-FF11およびEX-ORゲート12は、NRZ信号のデータ変化を検出する手段を構成している。

【0034】EX-ORゲート12の出力は、D-FF13、14の各CK入力となるとともに、3入力ORゲート15の入力となる。D-FF13は、クロックCLKをD入力とし、NRZデータが変化したときに、CK入力として与えられるEX-ORゲート12の出力に忠実にクロックCLKの論理状態を取り込む。D-FF13の正相出力Qは、ORゲート15の他の入力となるとともに、3入力ORゲート16、17の各入力となる。

【0035】D-FF14は、クロックSCKをD入力とし、NRZデータが変化したときに、CK入力として与えられるEX-ORゲート12の出力に忠実にクロックSCKの論理状態を取り込む。D-FF14の正相

出力Qは、ORゲート15の残りの一入力となるとともに、ORゲート16、17の各他の一入力となる。これらD-FF13、14は、クロックCLKの一周期におけるNRZデータの変化位置を検出する手段を構成している。

【0036】3入力ORゲート15の2つの入力、即ちEX-ORゲート12の出力が与えられる入力およびD-FF14の正相出力Qが与えられる入力は、負論理入力となっている。ORゲート15の出力は、D-FF18のD入力となる。D-FF18は、クロックCLKをCK入力とし、その立上りのタイミングでORゲート15の出力の論理状態を取り込む。ORゲート15およびD-FF18は、NRZ信号の周期を検出するための基準点を設定する手段を構成している。

【0037】D-FF18の正相出力QはORゲート16、17の各残りの一入力となる。3入力ORゲート16の2つの入力、即ちD-FF13の正相出力Qが与えられる入力およびD-FF14の正相出力Qが与えられる入力は、負論理入力となっている。ORゲート16、17の各出力は、D-FF19、20の各D入力となる。D-FF19、20は、クロックCLKをCK入力とし、その立上りのタイミングでORゲート16、17の各出力の論理状態を取り込む。

【0038】そして、D-FF19の逆相出力Qxが周波数を高くするためのUP信号として、D-FF20の逆相出力Qxが周波数を低くするためのDOWN信号としてそれぞれ出力されることになる。すなわち、ORゲート16およびD-FF19は、クロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれていときUP信号を出力する手段を、ORゲート17およびD-FF20は、クロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれていときDOWN信号を出力する手段をそれぞれ構成している。

【0039】次に、上記構成の本実施形態に係る周波数比較器の回路動作について、図2および図3のタイミングチャートを用いて説明する。

【0040】なお、図2および図3のタイミングチャートにおいて、(a)はEX-ORゲート11の出力を、(b)はD-FF13の正相出力Qを、(c)はD-FF14の正相出力Qを、(d)はORゲート15の出力を、(e)はORゲート16の出力を、(f)はORゲート17の出力を、(g)はD-FF18の正相出力Qをそれぞれ示し、図1の対応する部分には同一符号を付すものとする。

【0041】まず、図2および図3のタイミングチャートにおいて、NRZデータが時刻t3と時刻t4の期間で変化したとすると、EX-ORゲート12の出力

(a)が“L”レベルから“H”レベルに移轉する。このとき、クロックCLKが“L”レベル、クロックCLKが“H”レベルの論理状態にあり、その論理状態がD

-FF13、14にそれぞれ取り込まれる。これにより、D-FF13の正相出力Q (b)が“L”レベル、D-FF14の正相出力(c)が“H”レベルとなるため、ORゲート15の出力(d)が“L”レベルとなり、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなる。

【0042】そして、時刻t5でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに、ORゲート15の出力(d)が“H”レベルにそれぞれ戻り、またD-FF18がそれまでのORゲート15の出力(d)の“H”レベルの論理状態を取り込むことにより、その正相出力Q (g)が“L”レベルとなる。この時点で、NRZ信号の周期を検出するための基準点となる。このとき同時に、D-FF19、20がORゲート16、17の各出力(e)、(f)の“H”レベルの論理状態を取り込み、それらの逆相出力QxであるUP信号およびDOWN信号が共に“L”レベル状態にある。

【0043】そして、図2のタイミングチャートに示すように、NRZ信号の次のデータ変化が時刻t6と時刻t7の期間で起こると、EX-ORゲート12の出力(a)が再び“L”レベルから“H”レベルに移轉する。このとき、クロックCLK、CLKが共に“H”レベルの論理状態にあり、その論理状態がD-FF13、14にそれぞれ取り込まれる。これにより、D-FF13の正相出力Q (b)が“H”レベルとなり、D-FF14の正相出力Q (c)が引き続き“H”レベルの状態を維持する。

【0044】これに伴って、ORゲート16の出力(e)が“L”レベルとなり、ORゲート17の出力(f)が引き続き“H”レベルの状態を維持する。そして、時刻t9でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに戻り、またD-FF18がORゲート15の“H”レベルの論理状態を取り込むことにより、その正相出力Q (g)が“H”レベルとなる。

【0045】このとき同時に、D-FF19がORゲート16の出力(e)の“L”レベルの論理状態を取り込み、D-FF20がORゲート17の出力(f)の“H”レベルの論理状態を取り込むこととなるため、D-FF19の逆相出力QxであるUP信号のみが“H”レベルとなる。このとき、D-FF18の正相出力Q (g)が“H”レベルに移轉することに伴って、ORゲート16の出力(e)も“H”レベルに移轉する。

【0046】そして、時刻t13でクロックCLKが立ち上がることに伴い、D-FF19がORゲート16の出力(e)の“H”レベルの論理状態を取り込むため、UP信号が“L”レベルとなる。すなわち、NRZ信号のクロック周波数とクロックCLKの周波数とを比較した結果、クロックCLKの方の周波数が低い(周期が長

い) ことから、クロックCLKの周波数を高くするためのUP信号が、クロックCLKの1周期分の期間だけ出力されることになる。

【0047】なお、NRZ信号の次のデータ変化が時刻t7と時刻t8の期間で起こった場合には、この期間ではクロックCLKが“L”レベル、クロックSCKが“H”レベルの論理状態にあり、NRZデータが最初に

変化したとき、即ち時刻t3と時刻t4の期間と同じであるため、状態は変わらない。したがって、この場合には、クロックCLKの次の一周期である時刻t9から時刻t13の期間においてNRZ信号のデータ変化を見る。

【0048】次に、図3のタイミングチャートに示すように、NRZ信号の次のデータ変化が時刻t8と時刻t9の期間で起こると、先の場合と同様に、EX-ORゲート12の出力(a)が再び“L”レベルから“H”レベルに遷移する。このとき、クロックCLK、SCKが共に“L”レベルの論理状態にあることから、その論理状態を取り込むD-FF13の正相出力(b)はそのま

ま“L”レベルの状態にあり、D-FF14の正相出力(c)は“H”レベルから“L”レベルに遷移する。

【0049】これにより、ORゲート17の3入力全てが“L”レベルとなるため、その出力(f)も“L”レベルとなる。そして、時刻t9でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに戻り、またD-FF18がORゲート15の“H”レベルの論理状態を取り込むことにより、その正相出力Q(g)が“H”レベルとなる。

【0050】このとき同時に、D-FF19がORゲート16の出力(e)の“H”レベルの論理状態を取り込み、D-FF20がORゲート17の出力(f)の“L”レベルの論理状態を取り込むため、D-FF20の逆相出力QxであるDOWN信号のものが“H”レベルとなる。このとき、D-FF18の正相出力Q(g)が“H”レベルに遷移することに伴って、ORゲート17の出力(f)も“H”レベルに遷移する。

【0051】そして、時刻t13でクロックCLKが立ち上がることに伴い、D-FF20がORゲート17の出力(f)の“H”レベルの論理状態を取り込むため、DOWN信号が“L”レベルとなる。すなわち、NRZ信号のクロック周波数とクロックCLKの周波数とを比較した結果、クロックCLKの方の周波数が高い(周期が短い)ことから、クロックCLKの周波数を低くするためのDOWN信号が、クロックCLKの1周期分の期間だけ出力されることになる。

【0052】なお、NRZ信号が時刻t5と時刻t6の期間でデータ変化したときには、この期間ではクロックCLKが“H”レベル、クロックSCKが“L”レベルの論理状態にあり、D-FF13の出力(b)が“H”レベル、D-FF14の出力(c)が“L”レベルとな

り、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0053】また、時刻t5から時刻t9の期間でデータ変化がなかったときには、クロックデータが最初に変化したときの状態、即ちD-FF13の出力(b)が“L”レベル、D-FF14の出力(c)が“H”レベルの状態が維持され、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0054】さらに、クロックCLKの立上りの時刻t5の前にデータ変化があった場合には、その期間ではD-FF18の正相出力Q(g)が“H”レベルの状態にあり、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0055】以上の説明から明かなように、本実施形態に係る周波数比較器10によれば、参照クロックを用いなくとも、NRZ信号のみで周波数比較を行うことができることと、NRZ信号の連続したデータ変化に限り周波数比較を行うため、UP/DOWNの判定を誤ることもない。

【0056】図4は、本発明に係るPLL回路の構成の一例を示すブロック図である。図4から明かなように、本発明に係るPLL回路30は、電圧制御発振器(VCO)31、位相比較器(PD)32、周波数比較器(FD)33、チャージポンプ回路34、35およびループフィルタ35、36を有し、周波数比較器33として、図1に示した構成の周波数比較器10を用いている。

【0057】上記構成のPLL回路30において、電圧制御発振器31の発振クロック(VCOクロック)は、位相比較器32および周波数比較器33の各一方の入力となる。位相比較器32および周波数比較器33は、NRZ信号を各他方の入力としている。

【0058】位相比較器32は、VCOクロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。この位相比較器32の比較出力は、チャージポンプ回路34およびループフィルタ35を経て電圧制御発振器31にその位相を制御するための制御電圧として供給される。

【0059】一方、周波数比較器33は、VCOクロックとNRZ信号の周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。この周波数比較器33の比較出力は、チャージポンプ回路34およびループフィルタ37を経て電圧制御発振器31にその周波数を制御するための制御電圧として供給される。

【0060】このように、図1に示した本実施形態に係



11

る周波数比較器10を用いてPLL回路30を構成することにより、当該周波数比較器10は、NRZ信号の連続したデータ変化に限り周波数比較を行うことから、誤ったUP信号/DOWN信号を出力することがないため、NRZ信号の丁度倍の周期のところでロックするハーモニックロックを起こす心配の無いPLL回路を作ることができる。

【0061】なお、上記実施形態で示した回路構成は一例に過ぎず、これに限定されるものではない。

【0062】

【発明の効果】以上説明したように、本発明によれば、NRZ信号のみを用いて周波数比較を行う際に、クロック信号の一周期の期間内でのNRZ信号のデータ変化の有無を検出し、クロック信号の一周期の期間内にデータ変化があるときだけ比較結果を出力するようにしたことにより、誤ったUP信号/DOWN信号を出力することがなく、またNRZ信号の丁度倍の周期のところでロックするハーモニックロックを起こす心配の無いPLL回路を作ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る周波数比較器を示すブロック図である。

\*

12

\* 【図2】本実施形態に係る周波数比較器の回路動作を説明するためのタイミングチャート（その1）である。

【図3】本実施形態に係る周波数比較器の回路動作を説明するためのタイミングチャート（その2）である。

【図4】本発明の係るPLL回路の構成の一例を示すブロック図である。

【図5】PLL回路の従来例を示すブロック図である。

【図6】PLL回路の他の従来例を示すブロック図である。

10

【図7】従来例に係る周波数比較器の構成を示すブロック図である。

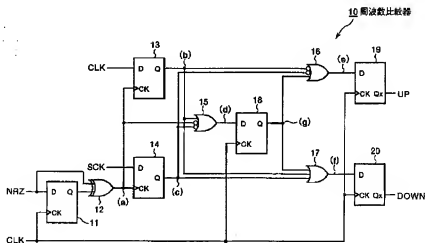
【図8】従来例に係る周波数比較器の回路動作を説明するためのタイミングチャートである。

【符号の説明】

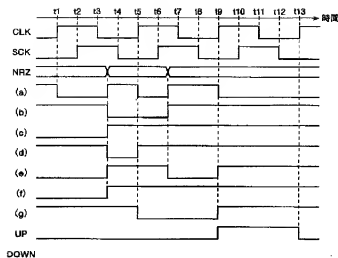
10…周波数比較器、11、13、14、18、19、20…D-フリップフロップ、12…EX（エクシクループ）-ORゲート、15、16、17…3入力ORゲート、30…PLL回路、31…電圧制御発振器（VCO）、32…位相比較器、34、35…チャージポンプ回路

20

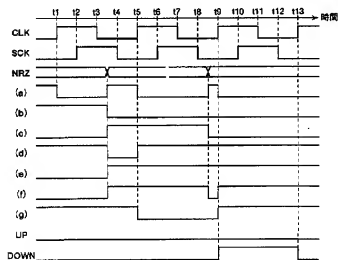
【図1】



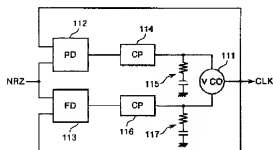
【図2】



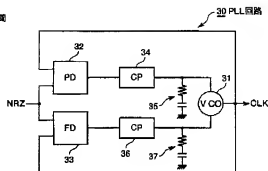
【図3】



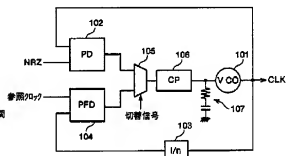
【図6】



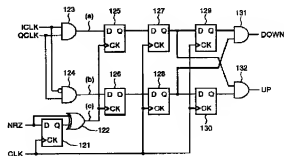
【図4】



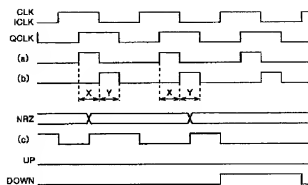
【図5】



【図7】



【図8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308097

(43)Date of publication of application : 05.11.1999

---

(51)Int.Cl. H03L 7/08

G01R 23/15

H03K 5/26

H03L 7/087

---

(21)Application number : 10-114491 (71)Applicant : SONY CORP

(22)Date of filing : 24.04.1998 (72)Inventor : KUBO TATSUYA  
TAMAKI AKIRA

---

(54) FREQUENCY COMPARATOR AND PLL CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enable frequency comparison with only an NRZ signal, without requiring a reference clock outputting a comparison result, only when existence of change of data is detected by a detecting means.

SOLUTION: The change of the data of an NRZ signal is detected by a D-FF11 and an EX-OR gate 12, and the position of the change of NRZ data in a single cycle of a clock CLK is detected by D-FF 13, 14. A reference point to detect the cycle of the NRZ signal is set by an OR gate 15 and D-FF 18. The phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when the phase is found shifted, an UP-signal for raising the frequency is outputted by an OR gate 16 and D-FF 19, the phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when

the phase has been shifted, a DOWN-signal for lowering the frequency is outputted by an OR gate 17 and D-FF20. Thus, the frequency comparison can be performed with only the NRZ signal.

---

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

#### \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### CLAIMS

---

[Claim(s)]

[Claim 1] The frequency comparator characterized by having a detection means to be the frequency comparator which compares the frequency of a predetermined clock signal to the clock frequency of an NRZ signal, and to detect whether data change of said NRZ signal is within the period of a round term of said clock signal, and a comparison means to output a comparison result only when there was data change with said detection means and it is detected.

[Claim 2] Said detection means is the frequency comparator according to claim 1 characterized by to have a change location detection means detect the data change

location of said NRZ signal within a round term of said clock signal, when a phase answers the detection output of said data detection means and incorporates the logic state of the auxiliary clock signal which was in 90 degrees rather than a data change detection means detect data change of said NRZ signal, and said clock signal and this.

[Claim 3] Said comparison means is a frequency comparator according to claim 1 characterized by having a setting means to set up the reference point for detecting the period of said NRZ signal, and a phase detection means to detect the phase of said NRZ signal in the inside of a round term next to said clock signal based on said reference point set up by said setting means, and to output said comparison result.

[Claim 4] It has the frequency comparator which compares a voltage controlled oscillator with the clock frequency of an NRZ signal and the frequency of the oscillation clock of said voltage controlled oscillator. It is the PLL circuit which controls the frequency of the oscillation clock of said electrical-potential-difference oscillator based on the comparison output of said frequency comparator. Said frequency comparator The PLL circuit characterized by having a detection means to detect whether data change of said NRZ signal is within the period of a round term of said clock signal, and a comparison means to output a comparison result only when there was data change with said detection means and it is detected.

[Claim 5] Said detection means is the PLL circuit according to claim 4 characterized by to have a change location detection means detect the data change location of said NRZ signal within a round term of said clock signal, when a phase answers the detection output of said data detection means and incorporates the logic state of the auxiliary clock signal which was in 90 degrees rather than a data change detection means detect data change of said NRZ signal, and said clock signal and this.

[Claim 6] Said comparison means is a PLL circuit according to claim 4 characterized by having a setting means to set up the reference point for detecting the period of said NRZ signal, and a phase detection means to detect the phase of said NRZ signal in the inside of a round term next to said clock signal based on said reference point set up by said setting means, and to output said comparison result.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is PLL (phase locked loop) which used a frequency comparator and this. It uses for the PLL circuit and this which take especially an NRZ (non return to zero) signal and a synchronization about a circuit, and is related with a suitable frequency comparator.

[0002]

[Description of the Prior Art] In the PLL circuit which takes an NRZ signal and a synchronization, when a frequency was compared conventionally, the configuration which compares the frequency of the oscillation clock of a voltage controlled oscillator (VCO) and the reference clock from the outside which synchronized with the NRZ signal was taken. The example of a circuit of this PLL circuit is shown in drawing 5.

[0003] In drawing 5, dividing of it is carried out to  $1/n$  ( $n$  is the natural number) with a counting-down circuit 103, and the oscillation clock of a voltage controlled oscillator 101 serves as one input of the frequency phase comparator (PFD) 104 while it becomes one input of a phase comparator (PD) 102. A phase comparator 102 considers an NRZ signal as the input of another side, compares the oscillation clock of a voltage controlled oscillator 101 with the phase of an NRZ signal, and outputs the DOWN signal for delaying UP signal or the phase for advancing a phase based on the phase contrast.

[0004] On the other hand, the frequency phase comparator 104 compares the frequency of the oscillation clock of a voltage controlled oscillator 101, and a reference clock which considered the reference clock which synchronized with the NRZ signal as the input of another side, and was carried out  $1/n$  dividing, and outputs the DOWN signal for making low UP signal or the frequency for making a frequency high based on the delta frequency.

[0005] Each comparison output of a phase comparator 102 and the frequency phase comparator 104 turns into two inputs of a selector 105. A selector 105 chooses one side of each comparison output of a phase comparator 102 and the frequency phase comparator 104 based on the change signal given from an external circuit (not shown). The comparison output chosen by this selector 105 is supplied to a voltage controlled oscillator 101 as that control voltage through the charge pump circuit 106 and a loop filter 107.

[0006] In the PLL circuit of the above-mentioned configuration, first, a selector 105 is changed to the frequency phase comparator 104 side, and processing which draws the frequency of the  $1/n$  clock of the oscillation clock of a voltage controlled oscillator 101 near the frequency of a reference clock is performed based on the comparison output of the frequency phase comparator 104. A selector 105 is changed to a phase comparator 102 side by this drawing-in processing finishing and giving a change signal from an external circuit. Then, based on the comparison output of a phase comparator 102, processing phase simulation of the oscillation clock of a voltage controlled oscillator 101 is carried out [ processing ] to an NRZ signal is performed.

[0007] In this conventional PLL circuit, since the external circuit for detecting that the frequency of the  $1/n$  clock of a VCO clock was drawn near the frequency of a reference clock, generating a change signal, and changing a selector 105 is needed

while the circuit which generates the reference clock which synchronized with the NRZ signal is required, only in that part, circuitry becomes complicated. Moreover, since it was necessary to enlarge the loop gain of a phase comparator 102, there was a trouble that a PLL transfer property worsened.

[0008] In order to solve these problems, the reference clock which synchronized with the NRZ signal is not needed, but there is a PLL circuit of a configuration of that only an NRZ signal compares a phase. The example of a circuit of this PLL circuit is shown in drawing 6. In this drawing, the oscillation clock of a voltage controlled oscillator (VCO) 111 serves as an input of one way each of a phase comparator (PD) 112 and the frequency comparator (FD) 113. The phase comparator 112 and the frequency comparator 113 are considering the NRZ signal as the input of each another side.

[0009] A phase comparator 112 compares the oscillation clock of a voltage controlled oscillator 111 with the phase of an NRZ signal, and outputs the DOWN signal for delaying UP signal or the phase for advancing a phase based on the phase contrast. The comparison output of this phase comparator 112 is supplied as control voltage for controlling that phase to a voltage controlled oscillator 111 through the charge pump circuit 114 and a loop filter 115.

[0010] On the other hand, the frequency comparator 113 compares the oscillation clock of a voltage controlled oscillator 111 with the frequency of an NRZ signal, and outputs the DOWN signal for making low UP signal or the frequency for making a frequency high based on the delta frequency. The comparison output of this frequency comparator 113 is supplied as control voltage for controlling that frequency to a voltage controlled oscillator 111 through the charge pump circuit 116 and a loop filter 117.

[0011] The conventional example of the circuitry of the frequency comparator 113 is shown in drawing 7. The clock QCLK which was behind [ an NRZ signal and the oscillation clock CLK of the voltage controlled oscillator 111 of drawing 6, i.e., a VCO clock the clock ICLK of this VCO clock CLK and an inphase, and this clock ICLK ] in 90 degrees of phases is inputted into a circuit conventionally [ this ], respectively.

[0012] In drawing 7, an NRZ signal serves as one input of the EKUSHIKURUSHIBU OR (it is hereafter described as EX-OR) gate 122 while serving as D (data) input of the D-flip-flop (it is hereafter described as D-FF) 121. D-FF121 is considering the VCO clock CLK as CK (clock) input. The non-inverter output Q of this D-FF121 turns into an input of another side of the EX-OR gate 122.

[0013] Clocks ICLK and QCLK become two inputs each of the AND gate 123,124. In addition, the input by the side of the clock ICLK of the AND gate 124 is a negative logic input. Each output of these AND gates 123,124 turns into D inputs each of D-FF125,126. D-FF125,126 considers the output of the EX-OR gate 122 as CK input.

[0014] Each non-inverter output Q of D-FF125,126 turns into D inputs each of D-FF127,128 of the next step, and each non-inverter output Q of D-FF127,128 turns



into an input of one way each of the AND gate 132,131 while turning into D inputs each of D-FF129,130 of the next step further. These D-FF127,128,129,130 is considering the VCO clock CLK as CK input.

[0015] Each non-inverter output Q of D-FF129,130 turns into an input of each another side of the AND gate 131,132. And it will be outputted as a UP signal for the output of the AND gate 132 to make a frequency high as a DOWN signal for the output of the AND gate 131 to make a frequency low, respectively.

[0016] Next, circuit actuation of the frequency comparator of the above-mentioned configuration is explained based on the timing chart of drawing 8. In addition, in the timing chart of drawing 8, the output of (b) and the EX-OR gate 122 shall be indicated [ the output of the AND gate 123 ] to be (c) for the output of (a) and the AND gate 124, respectively, and the same sign shall be given to the part to which drawing 7 corresponds.

[0017] Both the outputs (a) of the AND gate 123 serve as "H" level, when Clocks ICLK and QCLK are high level (it is hereafter described as "H" level), and as for the output (b) of the AND gate 124, Clock ICLK serves as "H" level, when a low (it is hereafter described as "L" level) and Clock QCLK are "H" level. Here, the output (b) of X and the AND gate 124 sets [ the output (a) of the AND gate 123 ] the period of "H" level to Y for the period of "H" level.

[0018] In a period with the VCO clock CLK, if data change of an NRZ signal enters at Period X as shown in the timing chart of drawing 8, the data change will be detected in D-FF121 and the EX-OR gate 122, and the output (c) of the EX-OR gate 122 will serve as "H" level.

[0019] Since the output (a) of the AND gate 123 is "H" level at this time, this output (a) is latched to D-FF125 to the transition timing of the output (c) of the EX-OR gate 122. Thereby, the non-inverter output Q of D-FF125 serves as "H" level. And the non-inverter output Q of D-FF125 is incorporated by D-FF127 to the timing of the start of the next period of the VCO clock CLK.

[0020] In the next period of this VCO clock CLK, if the data change next to an NRZ signal enters at Period Y as shown in the timing chart of drawing 8, that data change will be detected in D-FF121 and the EX-OR gate 122, and the output (c) of the EX-OR gate 122 will serve as "H" level again.

[0021] Since the output (b) of the AND gate 124 is "H" level at this time, this output (b) is incorporated by D-FF126 to the transition timing of the output (c) of the EX-OR gate 122. Thereby, the non-inverter output Q of D-FF126 serves as "H" level. And the non-inverter output Q of D-FF126 is incorporated by D-FF128 to the timing of the start of the next period of the VCO clock CLK.

[0022] At this time, the non-inverter output Q of D-FF127 is incorporated by coincidence at D-FF129. Since each non-inverter outputs Q of both of D-FF128,129 serve as "H" level and both two inputs of the AND gate 131 serve as "H" level by this,

"H" level is served as, the output, i.e., UP signal, of the AND gate 131.

[0023] That is, to the period of an NRZ signal, when data change of an NRZ signal enters a certain period at Period X and the data change next to an NRZ signal enters with the following period at Period Y, since the frequency of the VCO clock CLK is a high translation, the DOWN signal for making the frequency of the VCO clock CLK low will be outputted short [ the period of the VCO clock CLK ].

[0024] On the other hand, UP signal for making the frequency of the VCO clock CLK high, since the frequency of the VCO clock CLK is a low translation with the long namely, period of the VCO clock CLK will be outputted [ as opposed to / when data change of an NRZ signal enters a certain period at Period Y although not shown in the timing chart of drawing 8 , and the data change next to an NRZ signal enters with the following period at Period X / the period of an NRZ signal ].

[0025]

[Problem(s) to be Solved by the Invention] However, since NRZ data have composition which compares like 10001 even when change is not continuous, when between change of gap of several% of phase of NRZ data is vacant in fact, it may become dozens of% of gap, and the judgment of UP/DOWN may be mistaken by the conventional frequency comparator mentioned above. When this error continues by chance, outputting a DOWN signal is continued in the place which must output UP signal in fact, for example, and there is a danger of locking exactly in the place of the double period of an NRZ signal of causing the so-called harmonic lock.

[0026] It is made in view of the above-mentioned technical problem, and the place made into the purpose does not need a reference clock, but this invention aims at offering the anxious PLL circuit from which the frequency comparator which can perform a frequency comparison only by the NRZ signal, and a harmonic lock are raised and which is not.

[0027]

[Means for Solving the Problem] The frequency comparator by this invention is a frequency comparator which compares the frequency of a predetermined clock signal to the clock frequency of an NRZ signal, and has composition equipped with a detection means to detect whether data change of an NRZ signal is within the period of a round term of a clock signal, and a comparison means to output a comparison result only when there was data change with this detection means and it is detected.

[0028] Moreover, the PLL circuit by this invention has composition using the frequency comparator of the above-mentioned configuration as a frequency comparator which compares the frequency of the clock of an NRZ signal, and the oscillation clock of a voltage controlled oscillator.

[0029] In the frequency comparator of the above-mentioned configuration, and the PLL circuit using this, in case a frequency comparison is performed only using an NRZ signal, the existence of data change of the NRZ signal within the period of a round

term of a predetermined clock signal (oscillation clock of a voltage controlled oscillator) is detected first. And a comparison result is outputted only when data change is within the period of a clock's concerned round term. That is, it restricts, when data change of an NRZ signal continues, and a frequency comparison is performed, and it is made to output the comparison result.

[0030]

[Embodiment of the Invention] Hereafter, it explains to a detail, referring to a drawing about the gestalt of operation of this invention.

[0031] Drawing 1 is the block diagram showing 1 operation gestalt of this invention. The clock (auxiliary clock) SCK which was behind [ Clock CLK and this clock CLK of the same frequency as an NRZ signal and the clock frequency of this NRZ signal ] in 90 degrees of phases is inputted into the frequency comparator 10 concerning this operation gestalt, respectively.

[0032] In drawing 1 , an NRZ signal serves as one input of the EX-OR gate 12 while serving as D input of D-FF11. D-FF11 is considering Clock CLK as CK input. The non-inverter output Q of this D-FF11 turns into an input of another side of the EX-OR gate 12.

[0033] Here, if NRZ data change, since the data of the change timing will be delayed by D-FF11 by one clock and will be inputted into the EX-OR gate 12 with the data of the following clock timing, the output of the EX-OR gate 12 changes on "H" level from "L" level. And it returns to "L" level in the start of Clock CLK. That is, D-FF11 and the EX-OR gate 12 constitute a means to detect data change of an NRZ signal.

[0034] When it comes to each CK input of D-FF 13 and 14, both the outputs of the EX-OR gate 12 turn into one input of 3 input OR gate 15. When Clock CLK is considered as D input and NRZ data change, D-FF13 answers the output of the EX-OR gate 12 given as a CK input, and incorporates the logic state of Clock CLK. When it comes to other one inputs of the OR gate 15, both the non-inverter outputs Q of D-FF13 turn into one input each of 3 input OR gates 16 and 17.

[0035] When Clock SCK is considered as D input and NRZ data change, D-FF14 answers the output of the EX-OR gate 12 given as a CK input, and incorporates the logic state of Clock SCK. When it comes to the one remaining input of the OR gate 15, both the non-inverter outputs Q of D-FF14 turn into one input of each \*\* of the OR gates 16 and 17. These D-FF 13 and 14 constitutes a means to detect the change location of the NRZ data within a round term of Clock CLK.

[0036] The input to which two inputs of 3 input OR gate 15, i.e., the output of the EX-OR gate 12, are given, and the non-inverter output Q of D-FF14 give, and the \*\*\*\* input is a negative logic input. The output of the OR gate 15 turns into D input of D-FF18. D-FF18 considers Clock CLK as CK input, and incorporates the logic state of the output of the OR gate 15 to the timing of the start. The OR gate 15 and D-FF18 constitute a means to set up the reference point for detecting the period of an NRZ

signal.

[0037] The non-inverter output Q of D-FF18 turns into each one remaining input of the OR gates 16 and 17. Two inputs Q of 3 input OR gate 16, i.e., the non-inverter output of D-FF13, give, a \*\*\*\* input and the non-inverter output Q of D-FF14 give, and the \*\*\*\* input is a negative logic input. Each output of the OR gates 16 and 17 turns into D inputs each of D-FF 19 and 20. D-FF 19 and 20 considers Clock CLK as CK input, and incorporates the logic state of each output of the OR gates 16 and 17 to the timing of the start.

[0038] And it will be outputted [ as a UP signal for the opposition output Qx of D-FF19 to make a frequency high ], respectively as a DOWN signal for the opposition output Qx of D-FF20 to make a frequency low. namely, -- the OR gate -- 16 -- and -- D-FF -- 19 -- a clock -- CLK -- a degree -- a round -- a term -- inside -- NRZ -- a signal -- a phase -- detecting -- shifting -- \*\*\*\* -- the time -- UP -- a signal -- outputting -- a means -- the OR gate -- 17 -- and -- D-FF -- 20 -- a clock -- CLK -- a degree -- a round -- a term -- inside -- NRZ -- a signal -- a phase -- detecting -- shifting -- \*\*\*\* -- the time -- a DOWN signal -- outputting -- a means -- respectively -- constituting -- \*\*\*\* .

[0039] Next, circuit actuation of the frequency comparator concerning this operation gestalt of the above-mentioned configuration is explained using the timing chart of drawing 2 and drawing 3 .

[0040] In the timing chart of drawing 2 and drawing 3 (a) in addition, the output of the EX-OR gate 11 In (b), (c) the non-inverter output Q of D-FF13 the non-inverter output Q of D-FF14 As for (d), (e) shall give the same sign for the output of the OR gate 15 to the part to which (f) shows the output of the OR gate 17 to, (g) shows the non-inverter output Q of D-FF18 to, respectively, and drawing 1 corresponds the output of the OR gate 16.

[0041] First, in the timing chart of drawing 2 and drawing 3 , supposing NRZ data change in the period of time of day t3 and time of day t4, the output (a) of the EX-OR gate 12 will change on "H" level from "L" level. At this time, Clock CLK is in "L" level, Clock SCK is in the logic state of "H" level, and that logic state is incorporated by D-FFs 13 and 14, respectively. Thereby, since "L" level and the non-inverter output (c) of D-FF14 serve as [ non-inverter output / of D-FF13 / Q (b) ] "H" level, the output (d) of the OR gate 15 serves as "L" level, and both each output (e) of the OR gates 16 and 17 and (f) are set to "H" level.

[0042] And when Clock CLK starts at time of day t5, the output (d) of the OR gate 15 incorporates return on "H" level and D-FF18 incorporates [ the output (a) of the EX-OR gate 12 ] the logic state of "H" level of the output (d) of the OR gate 15 till then on "L" level synchronizing with this, respectively, non-inverter output Q (g) is set to "L" level. This time turns into a reference point for detecting the period of an NRZ signal. At this time, to coincidence, D-FF 19 and 20 incorporates the logic state

of "H" level of each output (e) of the OR gates 16 and 17, and (f), and both the UP signals and DOWN signals that are those opposition outputs Qx are in "L" level condition at it.

[0043] And if the data change next to an NRZ signal takes place in the period of time of day t6 and time of day t7 as shown in the timing chart of drawing 2, the output (a) of the EX-OR gate 12 will change on "H" level from "L" level again. At this time, both the clocks CLK and SCK are in the logic state of "H" level, and that logic state is incorporated by D-FF 13 and 14, respectively. Thereby, non-inverter output [ of D-FF13 ] Q (b) is set to "H" level, and non-inverter output [ of D-FF14 ] Q (c) maintains the condition of "H" level succeedingly.

[0044] In connection with this, the output (e) of the OR gate 16 serves as "L" level, and the output (f) of the OR gate 17 maintains the condition of "H" level succeedingly. And when Clock CLK starts at time of day t9, the output (a) of the EX-OR gate 12 incorporates return on "L" level and D-FF18 incorporates the logic state of "H" level of the OR gate 15 synchronizing with this, non-inverter output Q (g) is set to "H" level.

[0045] In order that D-FF19 may incorporate the logic state of "L" level of the output (e) of the OR gate 16 to coincidence and D-FF20 may incorporate the logic state of "H" level of the output (f) of the OR gate 17 to it at this time, only UP signal which is the opposition output Qx of D-FF19 serves as "H" level. At this time, the output (e) of the OR gate 16 changes on "H" level in connection with non-inverter output [ of D-FF18 ] Q (g) changing on "H" level.

[0046] And when Clock CLK starts at time of day t13, in order that D-FF19 may incorporate the logic state of "H" level of the output (e) of the OR gate 16, UP signal serves as "L" level. That is, as a result of comparing the clock frequency of an NRZ signal with the frequency of Clock CLK, since the frequency in the direction of Clock CLK is low (a period is long), UP signal for making the frequency of Clock CLK high will be outputted only for the period for one period of Clock CLK.

[0047] in addition — the case where the data change next to an NRZ signal takes place in the period of time of day t7 and time of day t8 — this period — Clock CLK — "L" — level and Clock SCK — " — since it is the same as the period of time of day t3 and time of day t4 when it is in the logic state of H" level and NRZ data change first namely, a condition does not change. Therefore, in the period of time of day t9 to the time of day t13 which is a next Clock's CLK round term, data change of an NRZ signal is seen in this case.

[0048] Next, if the data change next to an NRZ signal takes place in the period of time of day t8 and time of day t9 as shown in the timing chart of drawing 3, the output (a) of the EX-OR gate 12 will change on "H" level from "L" level again like the case of the point. Since both the clocks CLK and SCK are in the logic state of "L" level at this time, the non-inverter output (b) of D-FF13 which incorporates that logic state is

in the condition of "L" level as it is, and the non-inverter output (c) of D-FF14 changes on "L" level from H" level.

[0049] Thereby, since all of three inputs of the OR gate 17 are set to "L" level, the output (f) serves as "L" level. And when Clock CLK starts at time of day t9, the output (a) of the EX-OR gate 12 incorporates return on "L" level and D-FF18 incorporates the logic state of "H" level of the OR gate 15 synchronizing with this, non-inverter output Q (g) is set to "H" level.

[0050] In order that D-FF19 may incorporate the logic state of "H" level of the output (e) of the OR gate 16 to coincidence and D-FF20 may incorporate the logic state of "L" level of the output (f) of the OR gate 17 to it at this time, only the DOWN signal which is the opposition output Qx of D-FF20 serves as "H" level. At this time, the output (f) of the OR gate 17 changes on "H" level in connection with non-inverter output [ of D-FF18 ] Q (g) changing on "H" level.

[0051] And when Clock CLK starts at time of day t13, in order that D-FF20 may incorporate the logic state of "H" level of the output (f) of the OR gate 17, a DOWN signal serves as "L" level. That is, as a result of comparing the clock frequency of an NRZ signal with the frequency of Clock CLK, since the frequency in the direction of Clock CLK is high (a period is short), the DOWN signal for making the frequency of Clock CLK low will be outputted only for the period for one period of Clock CLK.

[0052] in addition, when an NRZ signal carries out data change in the period of time of day t5 and time of day t6 In this period, Clock CLK is in "H" level and Clock SCK is in the logic state of "L" level. Since "H" level and the output (c) of D-FF14 serve as [ the output (b) of D-FF13 ] "L" level and both each output (e) of the OR gates 16 and 17 and (f) are set to "H" level, both UP signal and a DOWN signal are still "L" level.

[0053] moreover, in the period of time of day t5 to the time of day t9, when there is no data change A condition (b), i.e., the output of D-FF13, when clock data change first "L" level, Since the condition of "H" level is maintained for the output (c) of D-FF14 and both each output (e) of the OR gates 16 and 17 and (f) are set to "H" level, both UP signal and a DOWN signal are still "L" level.

[0054] Furthermore, since non-inverter output [ of D-FF18 ] Q (g) is in the condition of "H" level in the period and both each output (e) of the OR gates 16 and 17 and (f) are set to "H" level when data change is before the time of day t5 of the start of Clock CLK, both UP signal and a DOWN signal are still "L" level.

[0055] According to the frequency comparator 10 which starts this operation gestalt like [ it is \*\*\*\*\* and ] from the above explanation, even if it does not use a reference clock, the judgment of UP/DOWN is not mistaken, in order to restrict to data change which the NRZ signal followed and to perform a frequency comparison, while only an NRZ signal can perform a frequency comparison.

[0056] Drawing 4 is the block diagram showing an example of the configuration of the PLL circuit concerning this invention. drawing 4 — from — being \*\*\*\*\* — like —

this invention — starting — PLL — a circuit — 30 — a voltage controlled oscillator (VCO) — 31 — a phase comparator — (— PD —) — 32 — a frequency — a comparator — (— FD —) — 33 — charge — a pump — a circuit — 34 — 35 — and — a loop filter — 35 — 36 — having — a frequency — a comparator — 33 — \*\*\*\*\* — drawing 1 — having been shown — a configuration — a frequency — a comparator — ten — using — \*\*\*\* .

[0057] In the PLL circuit 30 of the above-mentioned configuration, the oscillation clock (VCO clock) of a voltage controlled oscillator 31 serves as an input of one way each of a phase comparator 32 and the frequency comparator 33. The phase comparator 32 and the frequency comparator 33 are considering the NRZ signal as the input of each another side.

[0058] A phase comparator 32 compares the phase of a VCO clock and an NRZ signal, and outputs the DOWN signal for delaying UP signal or the phase for advancing a phase based on the phase contrast. The comparison output of this phase comparator 32 is supplied as control voltage for controlling that phase to a voltage controlled oscillator 31 through the charge pump circuit 34 and a loop filter 35.

[0059] On the other hand, the frequency comparator 33 compares the frequency of a VCO clock and an NRZ signal, and outputs the DOWN signal for making low UP signal or the frequency for making a frequency high based on the delta frequency. The comparison output of this frequency comparator 33 is supplied as control voltage for controlling that frequency to a voltage controlled oscillator 31 through the charge pump circuit 36 and the CR loop filter 37.

[0060] Thus, since mistaken UP signal / DOWN signal does not output from restricting the frequency comparator 10 concerned to data change which the NRZ signal followed by constituting the PLL circuit 30 using the frequency comparator 10 concerning this operation gestalt shown in drawing 1 , and performing a frequency comparison, the anxious PLL circuit from which the harmonic lock which the double period of an NRZ signal locks by the way exactly raises and which is not can make.

[0061] In addition, it does not pass over the circuitry shown with the above-mentioned operation gestalt to an example, and it is not limited to this.

[0062]

[Effect of the Invention] As explained above, in case a frequency comparison is performed only using an NRZ signal according to this invention By having made it output a comparison result, only when the existence of data change of the NRZ signal within the period of a round term of a clock signal was detected and data change was within the period of a round term of a clock signal The anxious PLL circuit from which mistaken UP signal / DOWN signal are not outputted, and the harmonic lock which is the double period of an NRZ signal, and which is locked by the way is raised exactly and which is not can be made.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the frequency comparator concerning 1 operation gestalt of this invention.

[Drawing 2] It is a timing chart (the 1) for explaining circuit actuation of the frequency comparator concerning this operation gestalt.

[Drawing 3] It is the timing chart (the 2) of \*\* explaining circuit actuation of the frequency comparator concerning this operation gestalt.

[Drawing 4] It is the block diagram showing an example of the configuration of the PLL circuit which this invention requires.

[Drawing 5] It is the block diagram showing the 1 conventional example of a PLL circuit.

[Drawing 6] It is the block diagram showing other conventional examples of a PLL circuit.

[Drawing 7] It is the block diagram showing the configuration of the frequency comparator concerning the conventional example.

[Drawing 8] It is a timing chart for explaining circuit actuation of the frequency comparator concerning the conventional example.

### [Description of Notations]

10 33 [ — 3 input OR gate, 30 / — A PLL circuit, 31 / — A voltage controlled oscillator (VCO), 32 / — 34 A phase comparator, 35 / — Charge pump circuit ] — A frequency comparator, 11, 13, 14, 18, 19, 20 — D-flip-flop, 12 — EX(EKUSHIKURUSHIBU)-OR gate, 15, 16, 17